

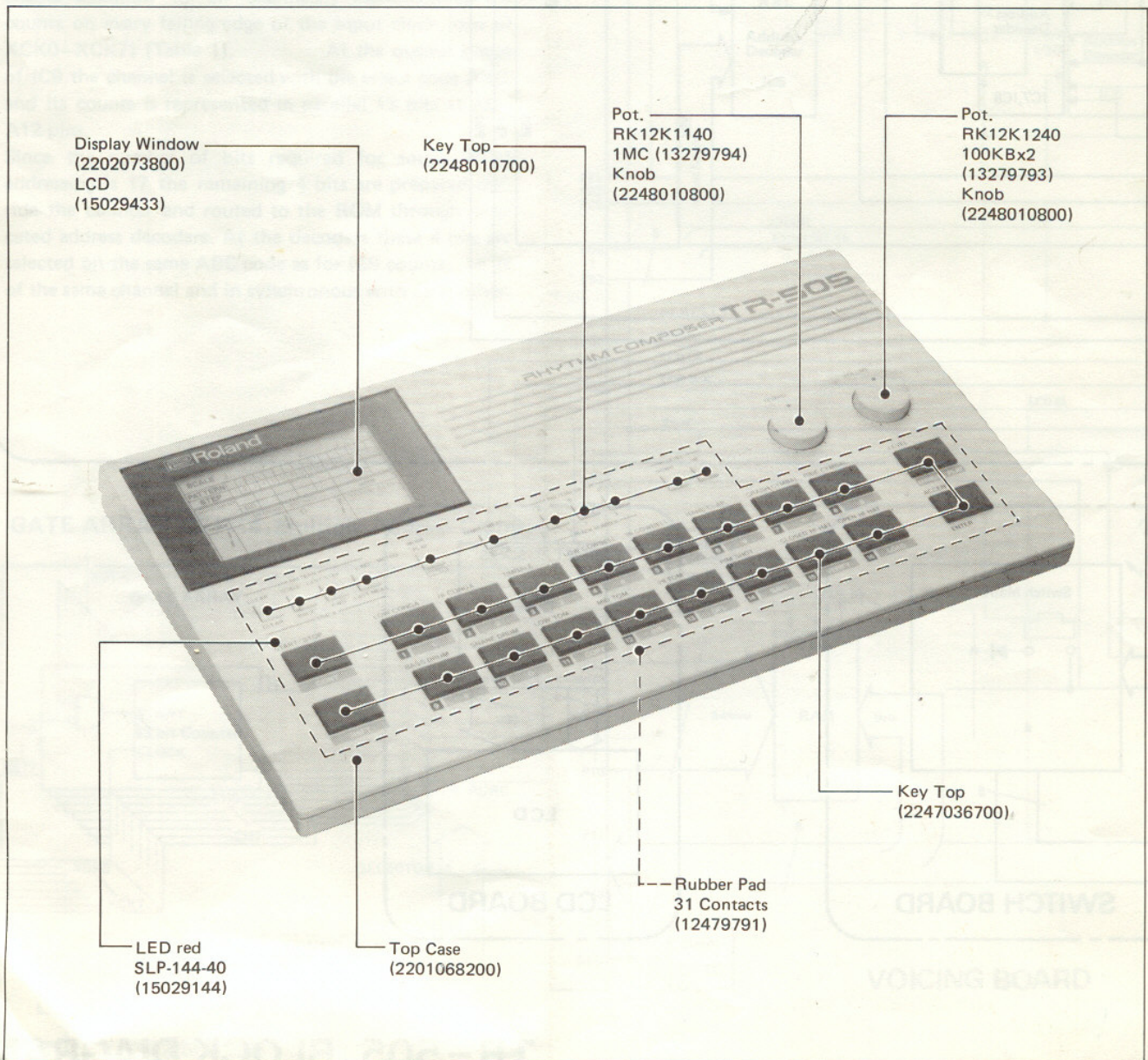
# TR-505

*Roland*  
**SERVICE NOTES**

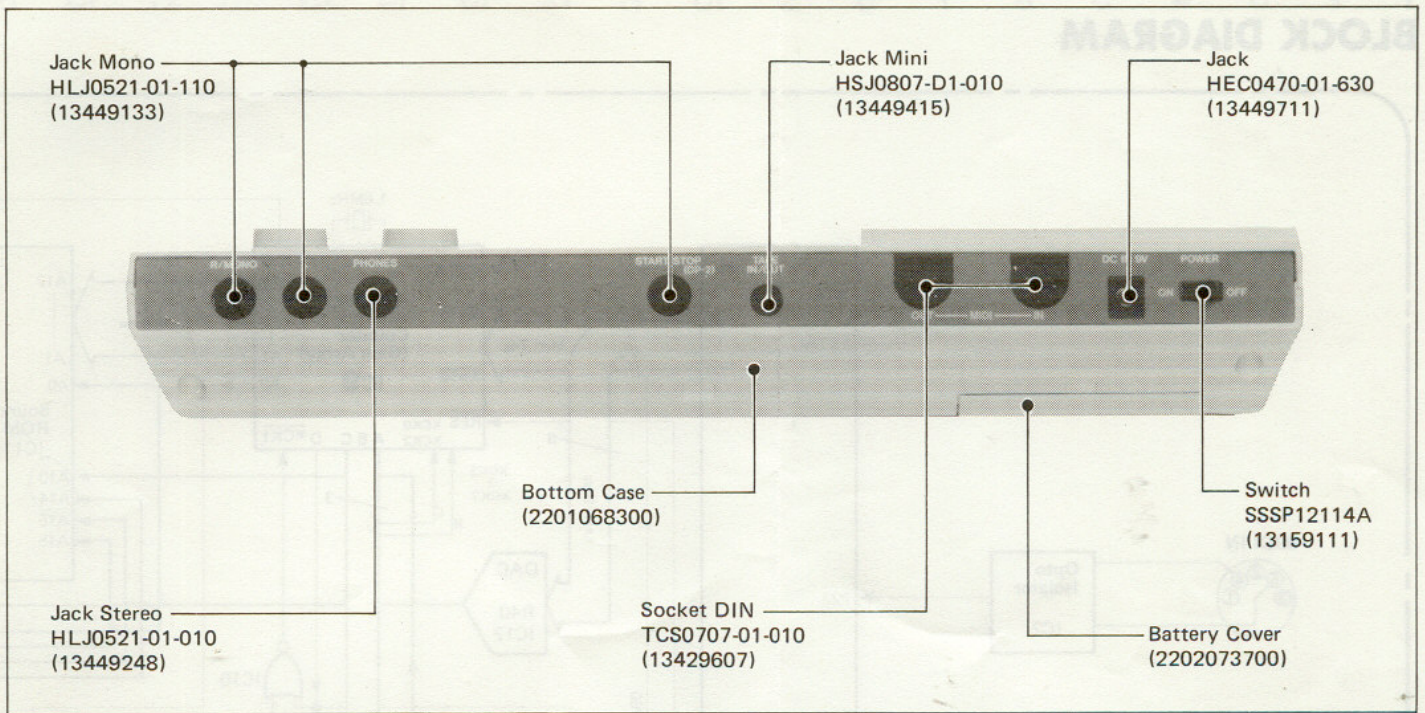
*First Edition*

## SPECIFICATIONS

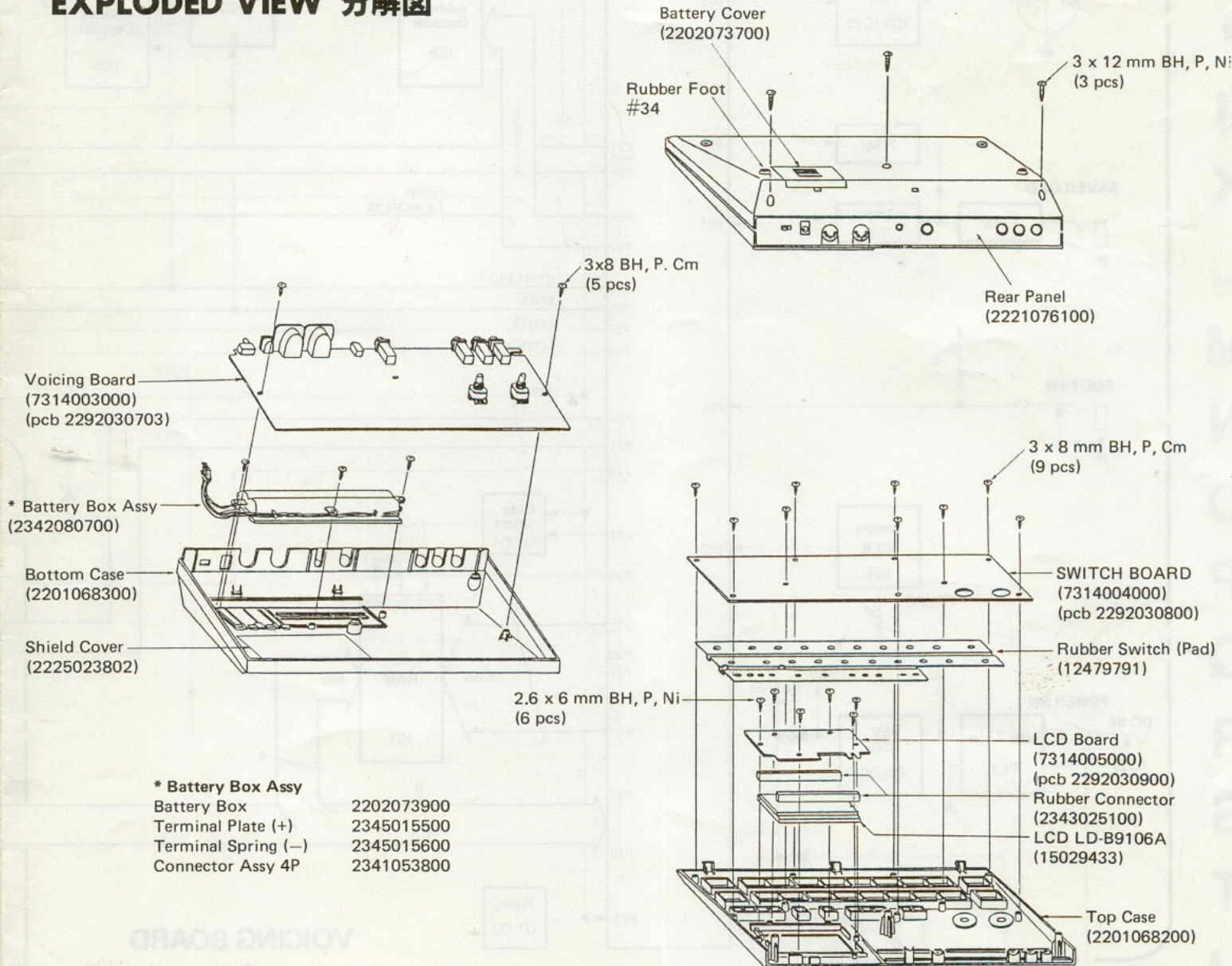
- Memory Capacity : 48 Preset Rhythm Patterns  
 (Pattern Groups A, B and C, each 16 patterns)  
 48 User's Programmable Rhythm Patterns  
 (Pattern Groups D, E and F, each 16 patterns)
- Track : 6 (Max. consecutive 423 bars)
- Step : 1 to 16/measure
- Tempo : ♩ = 40 to 240
- Output : Max. Level 6.5 Vpp 47KΩ (MONO OUT)  
 Noise Level Less than -80dBm (IHFA)
- Tape In/Out : 600 baud
- Power Requirements : 9VDC (7.2V - 10.35V)  
 or AC Adaptor BOSS PSA-100, 120, 220 or 240
- Current draw : 30mADC at 9V
- Battery life : Approx. 30 hours using SUM-3S
- Dimensions : 305 (W) x 175 (D) x 75 (H) mm  
 12-7/16" x 6-7/8" x 2-3/16"
- Weight : 820 g/1 lb. 13 oz. including batteries
- Accessories : Connection Cord LP-25
- Options : AC Adaptor BOSS PSA-100, 120, 220 or 240  
 Pedal Switch DP-2







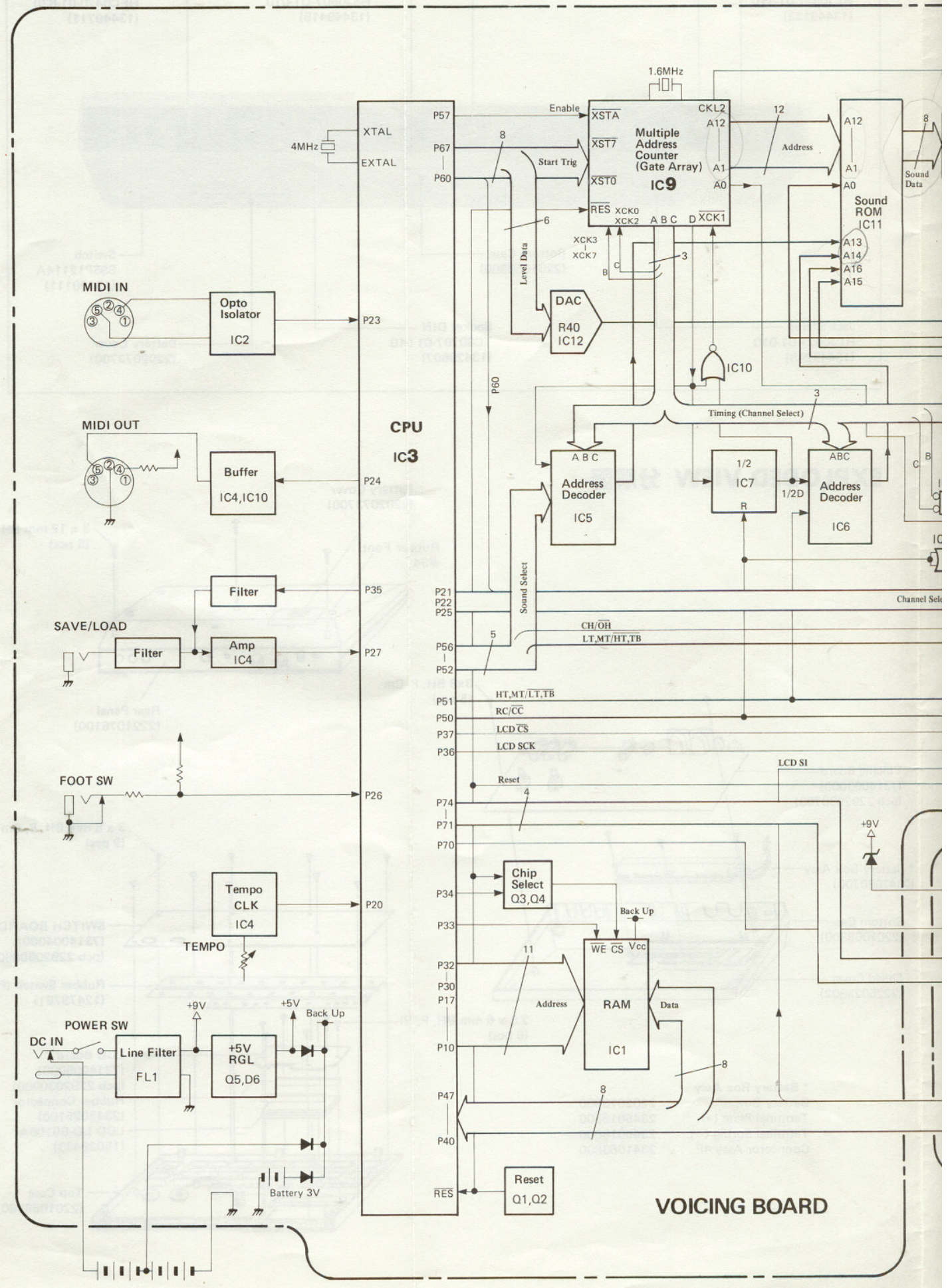
## EXPLODED VIEW 分解図



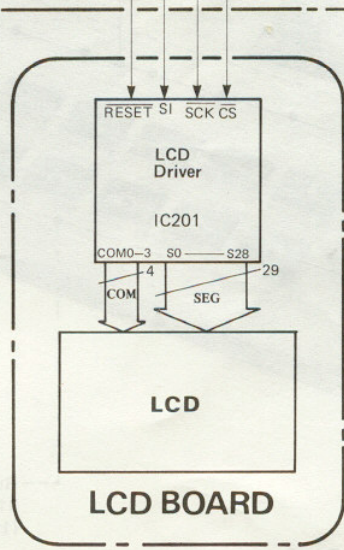
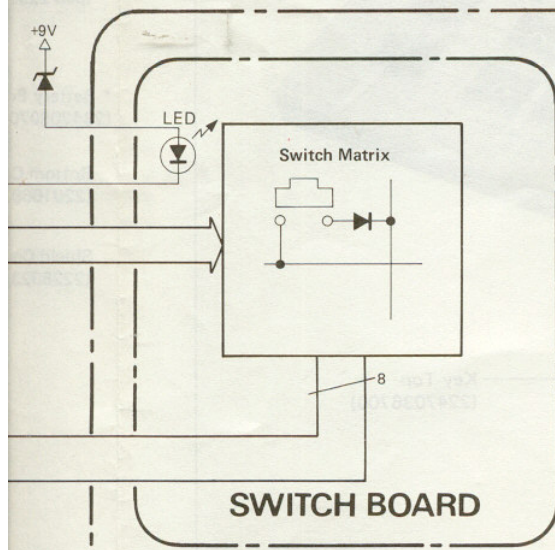
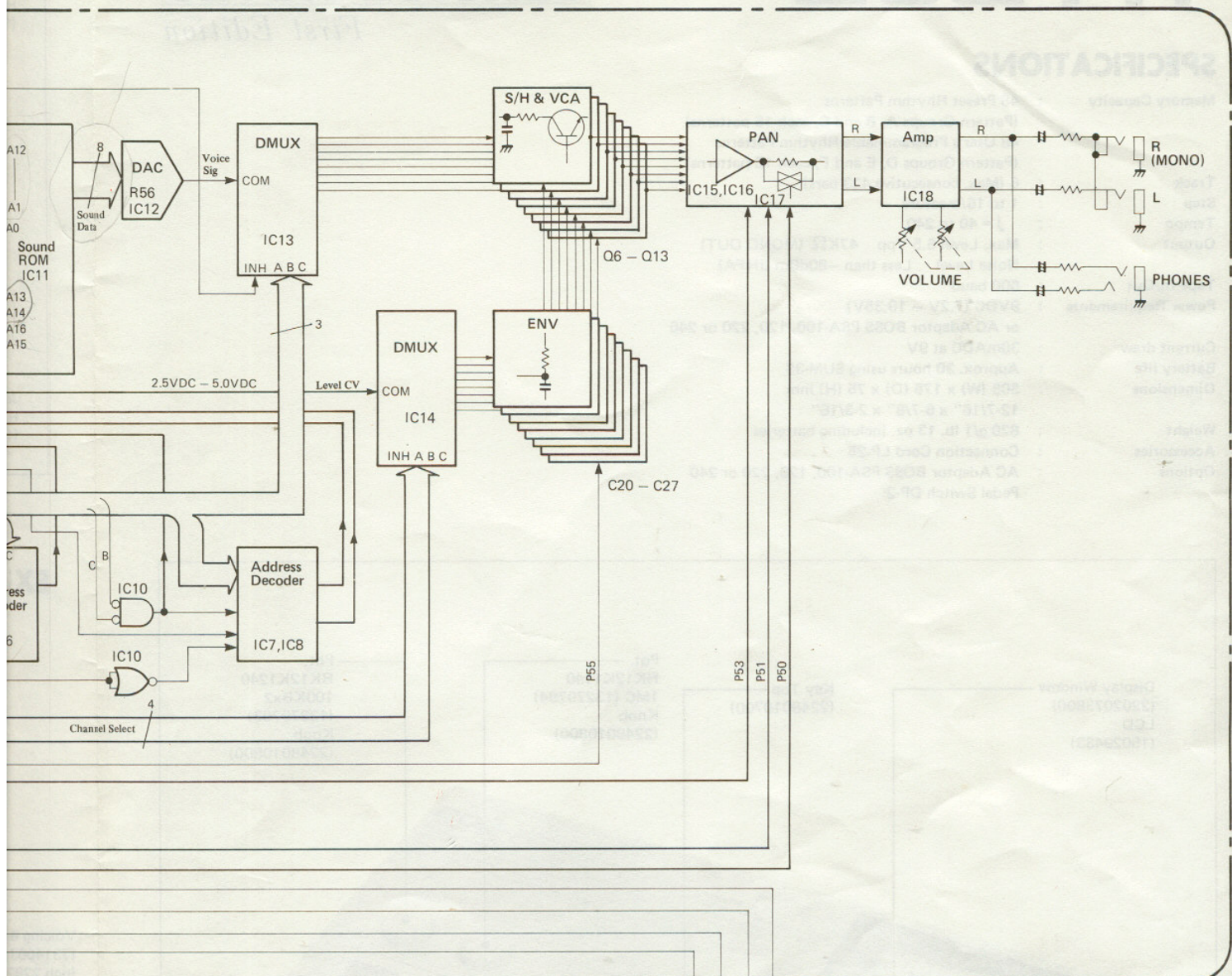


# BLOCK DIAGRAM

A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U  
V







TR-505 BLOCK DIAGRAM



# CIRCUIT DESCRIPTIONS

## GENERAL DESCRIPTION

The sound reproduction system in the TR-505 works on a multiplexing. With this system plural sound data stored in a single sound ROM can be addressed in sequence from a multiplex address counter containing 8 13-bit counters— — capable of generating 8 different addresses concurrently. Then the multiplexed sounds, fetched from the sound ROM and converted to corresponding analog voltages, are sampled into the S/H capacitor of individual channels.

The multiplex address counter has found application on some predecessors and its function and applications are explained on the service notes of TR-707/727 and DDR-30. Readers not familiar with MBH63H114 are recommended to read the circuit description on these service notes.

This section briefly discusses the multiplex sound system, concentrating on ROM addressing and limiting reference to the block diagram.

Suppose a low Start Trig is applied to one of the XST0—XST7 of IC9, the assigned counter inside IC9 starts counting on a rising edge of a low XSTA (counter start enable—common to all channels), incrementing the counts on every falling edge of the input clock (one of XCK0—XCK7) (Table 1). At the output stage of IC9 the channel is selected with the select code ABC; and its counts is represented in parallel 13 bits at A0—A12 pins.

Since the number of bits required for sound ROM addressing is 17 the remaining 4 bits are prepared outside the counter and routed to the ROM through dedicated address decoders. At the decoders these 4 bits are selected on the same ABC code as for IC9 counter, to be of the same channel and in synchronous with each other.

## 回路解説

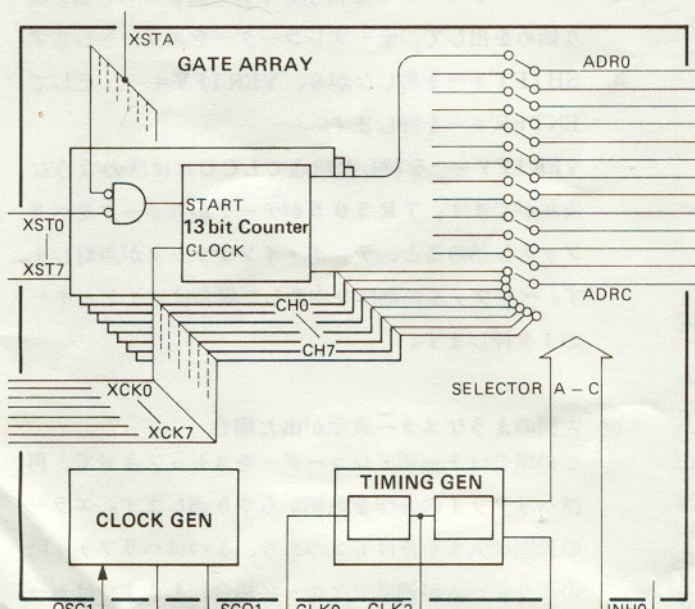
### 概論

TR-505では、マルチ音源、マルチアドレス・システムが採用されています。ここで言うマルチシステムとは、1個のサウンドROMに格納されている音源データを、複数のアドレス(8個)を発生するマルチプル・アドレスカウンタで順次読み出して行き、アナログ電圧に変換後DMUXで各チャンネルに振り分けて行く方法です。以下本概論ではマルチプルアドレスに重点をおいて説明しますが、同様の方法がTR-707/727, DDR-30にも採用されており、基本的動作はこれらのサービスノートで詳しく説明されていますので参照して下さい。

以下ブロック図に基づいて説明を進めます。

IC9 MB63H114は8チャンネルのアドレス・カウンタで、13ビットのアドレスを8個同時に発生し、時分割で出力して行くことが出来ます。今ローのStart Trigが、XST0—XST7のいずれかに加わったとすると、IC9内の該当カウンタはXSTA(スタート・イネーブル、全チャンネルに共通)の立上りでスタートし、入力クロック(XCK0—XCK7のうちの1つ)が加わる毎にカウントアップして行きます。このカウントは、チャンネルセレクトコードABCにより選択され、カウンタ値はA0—A12から13ビット平行で出力されます。サウンドROM IC11に必要なアドレスは17ビットなので、不足の4ビットは別のルートで供給せねばなりません。これら4ビットは、別々のアドレスデコーダを通じてROMに加えられますが、これらデコーダにも上で述べたセレクトコードABCが働きますので、IC9のアドレスカウンタのチャンネルと同じチャンネルのアドレスビットが同期して出力されることになります。又、このABCコードはDMUX IC13においてもアナログに変換されたサウンドを選択する為に使用されます。

GATE ARRAY 63H114 Multiple Address Counter





(TABLE 1)

CH NO.	IC9 MB63H114 MULTIPLE ADDRESS COUNTER						IC11 SOUND ROM							
	INPUT				COUNTER		OUTPUT		VOICE		CAPACITY (Bytes)			
	START	PIN NO.	CLOCK		PIN NO.	STEP	GATE ON PERIOD		PIN NO.					
0	XST0=L	38	XCK0=C		56	40 $\mu$ sec		GAT0=330msec		32	OPEN HI-HAT, CLOSED HI-HAT (OH) (CH)		8K	
1	XST1=L	39	XCK1=D	XCK1=1/2D	57	80 $\mu$ s	160 $\mu$ s	GAT1=660ms	GAT1=1320ms	31	RIDE CYMBAL (RC)	CRASH CYMBAL (CC)	16K	32K
2	XST2=L	40	XCK2=C		59	40 $\mu$ sec		GAT2=330msec		30	LOW TOM, MID TOM, HI TOM, TIMBAL (LT) (MT) (HT) (TIMB)		8K	
3	XST3=L	41	XCK3=B		60	20 $\mu$ sec		GAT3=164msec		29	BASS DRUM (BD)		4K	
4	XST4=L	44	XCK4=B		61	20 $\mu$ sec		GAT4=164msec		28	LOW CONGA, HI CONGA (LCG) (HCG)		4K	
5	XST5=L	45	XCK5=B		62	20 $\mu$ sec		GAT5=164msec		27	SNARE DRUM (SD)		4K	
6	XST6=L	46	XCK6=B		63	20 $\mu$ sec		GAT6=164msec		25	LOW COWBELL, HI COWBELL (LCB) (HCB)		4K	
7	XST7=L	47	XCK7=B		64	20 $\mu$ sec		GAT7=164msec		24	HAND CLAP, RIM SHOT (HCP) (RIM)		4K	

The drum voices in the same channel can not be selected at the same time.  
The letters in parentheses are the abbreviation to be shown in the display.

同一チャンネル内の複数音源は同時に鳴りません。  
( )内はグラフィックディスプレイ上の省略記号です。

## DETAILED DESCRIPTION

In this section the drum sounds are represented by CRASH CYMBAL (CC) because its data occupies the largest memory space in the sound ROM with the addresses for its memory cells provided in somewhat unique way.

Before entering CC addressing, let us review the standard application of the multiplex address counter IC9 for easier comparison.

The channel select code ABC cycles the 8 counters at the clock C rate (in 40 $\mu$ s), so do ROM accessing and other peripherals (DMUXs, address decoders, etc.)(Fig. 1). The LSB of IC9 should step at every 40 $\mu$ s.

With the clock C used as an XCK (counter input clock) a counter advances on a falling edge of the clock C: its counts should have changed every time it is selected by the ABC code. At its full counts the 13-bit counter has generated the address needed to access a data set of 8k byte in 330ms (Table 1).

With CRASH CYMBAL selected on the panel, XCK1 for counter channel 1 is the clock 1/2 D. This slows down the counter step to 160 $\mu$ s, allowing the counter to run for 1320ms, the time necessary for the 32k byte length CC memory locations to be completely accessed. However, the counts of CH1 remains the same through 4 selection cycles. To have the CC address keep pace with the 40 $\mu$ s steps, clock D is positioned at the LSB of CC address and placed on A13 line, and 1/2D is at the 2nd LSB and placed on A14 line (Table 2). The bit set of counter CH1 is shifted up by 2 orders. The table 2 shows the exchange and reposition of address bits.

The main purpose of this bit order rearrangement is as follows. The CPU IC3, once defines the range of CC location with A16 and A15, can render up the management of the memory area to IC9 (Table 3). IC9

by the adoption of clocks D and 1/2D can automatically generate 15-bit address without having A13 and A14 coded by the CPU at every termination of 8k byte address. Note that the similar conception is applied to RIDE CYMBAL but counter CH1 is shifted up by one order and the XCK1 clocks at the D rate.

## 詳細

ここでは、クラッシュ・シンバル (CC) について説明します。CCを対象とした理由は、データ量が大い (32 Kバイト) のため、アドレスの生成に特殊な工夫が施されており、回路構成がやや複雑だからです。

ロー (LOW) の XST1 およびロー (LOW) の XSTA が与えられると、IC9のカウンタCH1はこのXSTAの立上りでXCK1をカウントして行きます。カウンタCH1のカウント値はセレクトコードABCが“1”の時に出力されますが、“1”と“1”のインターバルは40 $\mu$ sで、これはクロックCの周期と同じです。(Fig.1参照) ゲートアレイ周辺の回路 (アドレス・レコーダ, DMUX) も40 $\mu$ s毎に8つのチャンネル切替を一周してゆきます。このため、サウンドROM側から見ると、アドレスを読み出すには、アドレスの最下位ビットが40 $\mu$ s毎に変化することが必要です。又、32 Kバイトを読み出すためには、17ビットのアドレスのうち、15ビット (2<sup>15</sup> = 32 Kバイト) が変化せねばなりません。

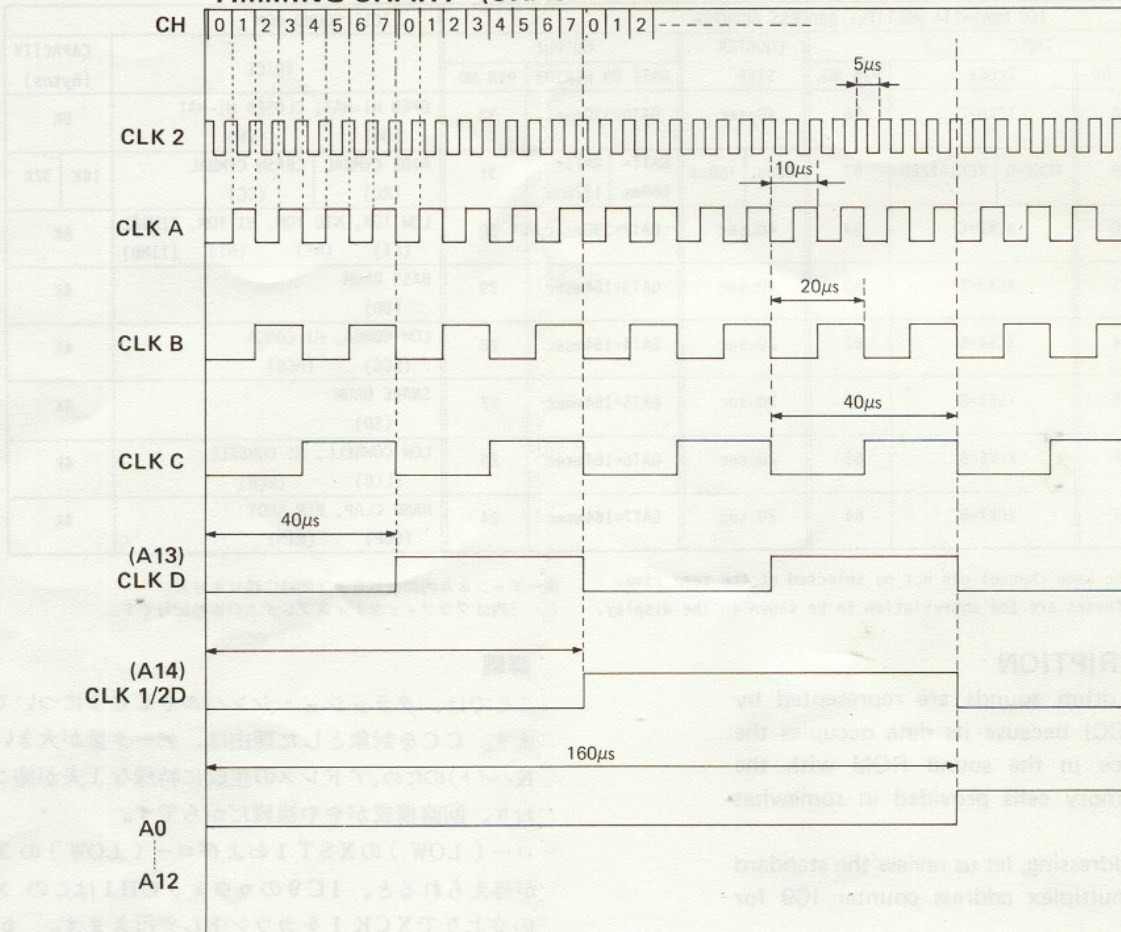
クラッシュ・シンバルの場合、カウントに加わるXCK1は $\frac{1}{2}$ Dで周期は160 $\mu$ sです。このクロックの立上りでCH1はカウントアップしてゆくのでゲートアレイの最下位ビットA<sub>0</sub>は160 $\mu$ s毎に変化する事になります。サウンドROMから見て、このA<sub>0</sub>を最下位アドレスビットとすると160 $\mu$ s毎にアドレスが変化する事になり、上記条件にあわなくなります。又、ゲートアレイにはA<sub>0</sub> ~ A<sub>12</sub>が2桁シフトアップされ逆にA<sub>13</sub>およびA<sub>14</sub>が下位1, 2ビット目へシフトダウンされた事になります。そして上位2ビットA<sub>15</sub>, A<sub>16</sub>は“0, 1”に固定されるので、ROM内のクラッシュ・シンバルのエリアは、これで決めます。(TABLE. 3参照) このエリア内でA<sub>0</sub> ~ A<sub>14</sub>のアドレスを順次交える事により、前記2条件を満たし、1回で32 Kバイトを読み出しています。

ただし実際には、A<sub>13</sub>, A<sub>14</sub>を下位1, 2ビット目としているので、通常のようにアドレスは小さい方から大きい方へ順次変化せず、そのエリア内をとびとびに変化しています。

このカウンタ・アドレスのシフトアップは、16 Kバイトのライド・シンバルにも応用されています。ただしXCK1はD、桁上げは1桁です。



TIMMING CHART (CRASH CYMBAL) タイミング チャート (Fig. 1)



SOUND ROM SELECTOR (TABLE 2)

		A <sub>0</sub>	A <sub>1</sub> - A <sub>12</sub>	A <sub>13</sub>	A <sub>14</sub>	A <sub>15</sub>	A <sub>16</sub>	cH	Bytes
OPEN HI-HAT	(OH)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	0	1	1	1	0	8K
CLOSED HI-HAT	(CH)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	1	1	1	1		8K
CRASH CYMBAL	(CC)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	D	1/2D	0	1	1	32K
RIDE CYMBAL	(RC)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	D	0	1	1		16K
TIMBAL	(TIMB)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	0	0	0	0		8K
LOW TOM	(LT)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	1	0	0	0	2	8K
HI TOM	(HT)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	0	1	0	0		8K
MID TOM	(MT)	AD <sub>0</sub>	AD <sub>1</sub> - AD <sub>12</sub>	1	1	0	0		8K
BASS DRUM	(BD)	0	AD <sub>1</sub> - AD <sub>12</sub>	0	0	1	0	3	4K
LOW CONGA	(LCG)	1	AD <sub>1</sub> - AD <sub>12</sub>	0	0	1	0	4	4K
HI CONGA	(HCG)	1	AD <sub>1</sub> - AD <sub>12</sub>	1	0	1	0		4K
SNARE DRUM	(SD)	0	AD <sub>1</sub> - AD <sub>12</sub>	1	0	1	0	5	4K
LOW COWBELL	(LCB)	1	AD <sub>1</sub> - AD <sub>12</sub>	0	1	1	0	6	4K
HI COWBELL	(HCB)	1	AD <sub>1</sub> - AD <sub>12</sub>	1	1	1	0		4K
HAND CLAP	(HCP)	0	AD <sub>1</sub> - AD <sub>12</sub>	0	1	1	0	7	4K
RIM SHOT	(RIM)	0	AD <sub>1</sub> - AD <sub>12</sub>	1	1	1	0		4K

SOUND ROM MAP (TABLE 3)

	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub> -A <sub>1</sub>	A <sub>0</sub>
TIMB(8K)	0	0	0	0	}	A <sub>0</sub>
LT(8K)	0	0	0	1		A <sub>0</sub>
HT(8K)	0	0	1	0	}	A <sub>0</sub>
MT(8K)	0	0	1	1		A <sub>0</sub>
BD(4K)	0	1	0	0	}	0(2n)
LCG(4K)	0	1	0	0		1(2n+1)
SD(4K)	0	1	0	1	}	0(2n)
HCG(4K)	0	1	0	1		1(2n+1)
HCP(4K)	0	1	1	0	}	0(2n)
LCB(4K)	0	1	1	0		1(2n+1)
RIM(4K)	0	1	1	1	}	0(2n)
HCB(4K)	0	1	1	1		1(2n+1)
CC(32K)	1	0	0	0	}	A <sub>0</sub>
	1	0	A <sub>14</sub> A <sub>13</sub>	}		}
	1	0				
	1	0				
RC(16K)	1	1	0	0	}	
	1	1	0	A <sub>13</sub>		
OH(8K)	1	1	1		0	}
	1	1	1	1	A <sub>0</sub>	

(2n)=EVEN  
(2n+1)=ODD

(CPU) SOUND SELECT SIGNAL

CPU PORT	PIN NO.	"Hi"	"Low"
P50	17	RC	CC
P51	18	HT, MT	LT, TB
P52	19	HCG	LCG
P53	20	LT, MT	HT, TB
P54	21	HCB	LCB
P55	22	CH	OH
P56	23	RIM	HCP



## TESTING

The built-in test program executes the following tests while in the TEST mode.

Test program version 1.0 (EFE.SN.630100-690699)

Test program version 1.1 (EFE.SN.690700-UP)

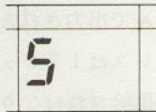
**CAUTION:** Save user's program onto a cassette tape before entering the TEST mode. All the data in the backed up RAM IC1 will be erased in TEST 3. Factory preset can be reloaded at TEST 8, while the user's after completion of the TESTS.

### SAVING USER'S DATA

1. Connect TAPE IN/OUT jack to a tape recorder.
2. Start the tape recorder with record mode.
3. While holding SHIFT key down, push SAVE key (MAIN KEY 14), then ENTER key.

The display reads as shown below indicating that the TR505 is now saving data.

For about 5 seconds after ENTER key is pushed, the pilot tone is heard, followed by the modulated tone which carries the data.



4. When the saving sign disappears, stop the tape recorder.
5. Go to the verification step.

### VERIFICATION

1. Change the connection on the tape recorder to OUT jack (HEADPHONES or EARPHONES).
2. Rewind the tape, start the tape recorder and hear the pilot tone.
3. While holding SHIFT key down, push VERIFY key (MAIN KEY 15), then ENTER key. Upon pushing VERIFY key, the display will show as shown below.

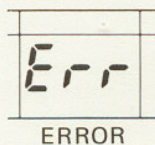
When verification starts, TEMPO indicator lights. To stop verification, push MAIN KEY 1.

\* If the display reads error message

Repeat the verification procedure with different volume settings.

or

Try saving on a different tape recorder.



## テスト

TR-505には回路機能チェック用のプログラムが内蔵されています。このプログラムを走らせるにはテストモードに入る必要が有ります。

テスト・バージョン 1.0

…(シリアル・ナンバー 630100 ~ 690699)

テスト・バージョン 1.1

…(シリアル・ナンバー 690700 ~ )

(注意)

テストプログラムを走らせると、ユーザが書込んだデータは消去されます。

テストモードに入る前に必ずテープへセーブして下さい。

テスト終了後はテープからの再ロードを行なって下さい。

### ユーザーデータのセーブ

1. 本体の TAPE・IN/OUT ジャックをテープレコーダ(マイクジャック)に接続して下さい。
2. テープレコーダの録音をスタートさせます。
3. SHIFT キーを押しながら SAVE キーを押し、次に ENTER キーを押します。  
LCD に次のような表示がでて、セーブ中であることを示します。ENTER キーを押した時点から 5 秒間、ピーというパイロット信号が録音され、次にデータ信号が始まります。
4. セーブ中のマークが LCD から消えたらテープ・レコーダーをストップさせます。
5. 正しくセーブされているか確認のため、次のベリファイの操作に移ります。

### ベリファイ

1. テープレコーダー側の接続だけを、ヘッドホン又はイヤホン・ジャックに換えて下さい。
2. テープ・レコーダーを再生して音を聞きピーと音の鳴り始めを出して、テープレコーダーをスタートします。
3. SHIFT キーを押しながら、VERIFY キー、そして ENTER キーを押します。

VERIFY キーを押した時点で LCD には次のような表示がでます。TR 505 がテープからデータをベリファイし始めると、テンポ・インジケータが点灯します。ベリファイの動作を中断した場合はメイン・キーの 1 を押します。

※ 左図のようなエラー表示が出た場合

この場合はテープ・レコーダーをストップさせて、再びベリファイの操作を最初からやり直します。エラーの原因は大きく分けて 2 つあり、1 つはベリファイ時のボリュームが適当でなかった場合、もう 1 つはセーブした時の録音が悪かった場合です。



## RUNNING TEST PROGRAM

While holding down CLEAR and INST/METRO, switch the power ON. The unit is now in the test mode and the LCD will display as shown below.

TRACK	PATTERN	MODE	TRACK	PATTERN	MODE
	---		1	---	

Version 1.0

Version 1.1

Pressing a MAIN KEY [1] - [10] selects a test 1 - 10, respectively. Upon completion of test 1, 3, 4, 6 or 7, the display will indicate a result as shown in Fig. A or Fig. B.

1	0	3	+
---	---	---	---

TEST 1 (OK)

TEST 3 (NO GOOD)

Fig.A

Fig.B

Perform the following tests in the numerical order.

### TEST 1. SWITCHES READING

Push MAIN KEY [1]. Push the 31 buttons on the front panel one by one in any order, checking LCD for small "0" reading at each pushing, Fig. C. With Ver.1.1 also check for a RIM SHOT sound. After the 31st button check the Test 1 result, like Fig. A or B.

test 1	1	0	Fig.C
--------	---	---	-------

NOTE: Escaping from TEST 1 before the 31st key is impossible.

### TEST 2. LCD LIGHTING

Push MAIN KEY [2]. The LCD will light all the dots and then half of the dots, and repeat.

### TEST 3. RAM IC1 READING AND WRITING

CAUTION: TEST 3 erases the customer data in RAM IC1. Make sure the data is duplicated on the tape.

Push MAIN KEY [3]. The CPU writes a test data into RAM IC1, reads back the data, verifies it and displays the results. Fig. A or B.

### TEST 4. MIDI IN/OUT

Push MAIN KEY [4]. The LCD will display "++" mark. This does not mean "no good". Connect MIDI IN and MIDI OUT via MIDI cable. The CPU Collates processed "MIDI IN" data with the "MIDI OUT" data and displays the result. Fig. A or B. Remove the MIDI cable.

## テストモード

CLEARとINST/METROボタンを同時に押しながら電源をオンするとテストモードとなり、左記のような表示になります。

テストは1から10まで有り、それぞれメインキー[1]から[10]で選ばれます。

メインキーが押されるとLCDにテストナンバーが表示され、テスト1, 3, 4, 6, 7については、テスト終了後に良否判定表示をします。(図A, 図B参照)

以下テストは番号順に実行して下さい。

### テスト1. スイッチ読み込み

メインキー[1]を押します。

フロントパネル上の31個のボタンの動作チェックをします。ボタン1個ずつ押して下さい。

押すたびに左記のような"0"が表示されます。(バージョン1.1の場合、同時にリムショット音が鳴ります。)

31個のボタンを全て押し終わると、良否判定表示が出ます。(図A, 図B)

※注意 31個のボタン全てを検査しないと、次のテストへは進めません。

### テスト2. LCD点灯

メインキー[2]を押します。LCDの表示は、全点灯状態と半点灯状態を交互に繰り返します。

### テスト3. RAM (IC1) 読み出し、書き込み

(注意)

このテストを実行するとRAM(IC1)に書込まれているデータは、全て書き替わります。(ファクトリプリセットデータはテスト8で復帰します。)

メインキー[3]を押します。CPUはRAM(IC1)にデータを書込み、ベリファイし、RAMのリード・ライトが正しく行なわれているかチェック良否判定を表示します。(図A, 図B参照)

### テスト4. MIDI IN/OUT動作

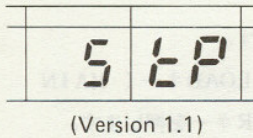
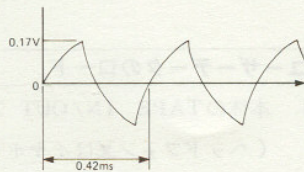
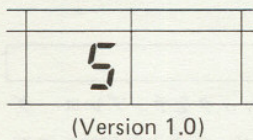
メインキー[4]を押します。この状態で、まず"++"マークを表示します。MIDI・OUTとMIDI・INをMIDIケーブルで接続して下さい。CPUはMIDI・OUTにデータを送ると共にMIDI・INからのデータが、その送り出したデータと同じかどうか比較した後良否判定を表示をします。(図A, 図B参照)

テスト終了後、MIDIケーブルと取り去って下さい。

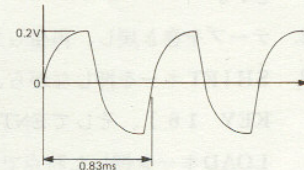


**TEST 5. TAPE SAVING**

Push MAIN KEY [5]. CPU will develop a 2400 Hz (Ver. 1.0) or 1200 Hz (Ver. 1.1) square wave at part 35 (pin 53). Connect the scope to TAPE IN/OUT jack and verify the waveform as shown below.



Disconnect the scope.

**TEST 6. TAPE LOADING**

Push MAIN KEY [6]. The LCD will display "41" mark. This does not mean "no good". Connect an Audio Generator (AG) to TAPE IN/OUT jack and set the AG for a 200mVpp, 2400Hz, square wave.

The display should change as shown in Fig. A as long as the signal is being fed to the unit. Disconnect the AG.

**TEST 7. START/STOP JACK**

Push MAIN KEY [7]. The LCD will display "41". This does not mean "no good". Connect an open-circuit plug into START/STOP jack; CPU port 26 will be pulled up to "H" level. The result is either as shown in Fig. A or B. Pull out the plug from the jack.

**TEST 8. FACTORY PRESET**

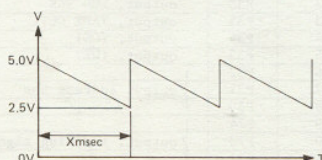
Push MAIN KEY [8]. When the preceding tests 1 through 7 proved to be successful, the CPU transfers the factory preset data from internal ROM to RAM IC1.

**TEST 9. TEMPO DISPLAY**

Push MAIN KEY [9]. The LCD shows the tempo speed set by TEMPO. (Max. = more than 240, Min. = less than 40).

**TEST 10. LEVEL DATA (DAC OUT)**

Push MAIN KEY [10]. Connect the oscilloscope to the cathode of D10 on the voicing board and verify the waveform below.



Version 1.0 X = 3.3msec  
Version 1.1 X = 1.9msec

**テスト5. テープ・セーブ動作**

メインキー[5]を押します。CPUのポート35(PIN53)からは2400Hz(テスト・プログラム・バージョン1.0の場合)又は、1200Hz(テスト・プログラム・バージョン1.1の場合)の矩形波が出力され、TAPE・IN/OUTジャックには左記の波形が出力されます。シンクロをTAPE・IN/OUTジャックに接続し、これらの波形を確認して下さい。テスト終了後オシロをはずして下さい。

**テスト6. テープ・ロード動作**

メインキー[6]を押します。この状態で、まず"41"マークを表示します。低周波発振器をTAPE・IN/OUTジャックに接続し、200mVpp, 2400Hz, 矩形波にセットして下さい。

この信号が入力されている間だけ、Fig. Aの表示になるはずで。テスト終了後、低周波発振器をはずして下さい。

**テスト7. START/STOPジャック動作**

メインキー[7]を押します。この状態で、まず"41"マークが表示されます。START/STOPジャックにオープン・プラグを接続して下さい。(CPUポート26が"H"レベルにプルアップされます。)

結果は良否判定表示で示されます。(図A, 図B参照) テスト後、オープン・プラグをぬいて下さい。

**テスト8. 工場出荷時データ書き込み**

メインキー[8]を押します。テスト1からテスト7が全て問題なく終了していればCPUは、内部ROMからRAM(IC1)に工場出荷時データを書込みます。

**テスト9. テンポ表示**

メインキー[9]を押します。テンポツマミで設定されたテンポを表示します。

表示範囲(最大240以上~最小40以下)

**テスト10. レベル・データD/A変換動作**

メインキー[10]を押します。シンクロをボイス基板のD10のカソード側に接続し、左記の信号を確認して下さい。

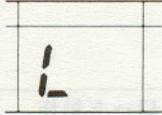


## RETURN TO NORMAL MODE

Push MAIN KEY **16** for returning to the normal mode.

## LOADING USER'S DATA

1. Connect TAPE IN/OUT jack to a tape recorder (HEADPHONES or EARPHONES Jack)
2. Rewind the tape, and start the tape recorder,
3. While holding SHIFT key down, push LOAD key (MAIN KEY 16), then ENTER key. Upon pushing LOAD key, the display will show as shown below.

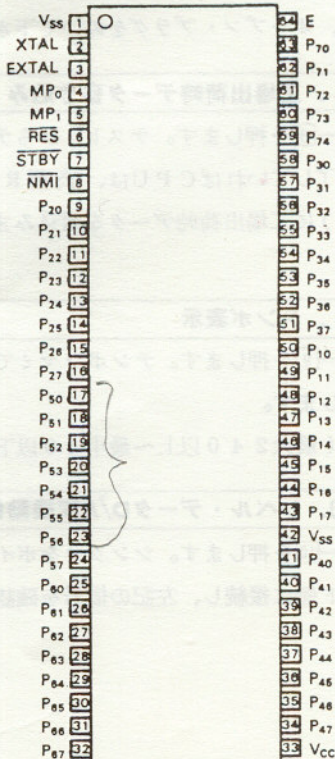


When loading starts, TEMPO indicator lights.  
Upon completion of loading the LCD reading goes off.

## IC DATA

### CPU HD6301Y0A99P (HD6301Y0A51P)

#### Pin Configuration (Top View)



## 通常モードへ

通常のモードへ戻るにはメインキー**16**を押して下さい。

## ユーザーデータのロード

1. 本体のTAPE IN/OUT ジャックをテープレコーダ (ヘッドフォン又はイヤホンジャック) に接続して下さい。
2. テープを巻き戻し、再生します。
3. SHIFTキーを押しながら、LOADキー ( MAIN KEY 16 )、そしてENTERキーを押します。  
LOADキーを押した時点でLCDは左記のような表示が出ます。TR505がテープからデータをロードし始めると、テンポインジケータが点灯します。  
ロードが終了すると、LCD上の“L”マークが消え終了した事を知らせます。

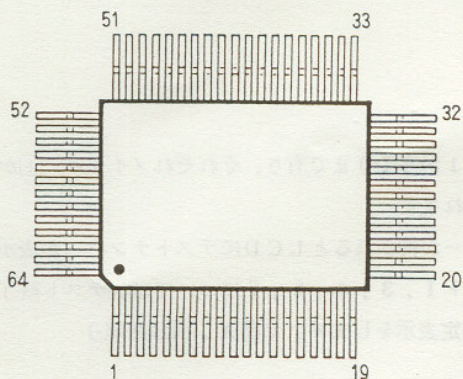
## Port Assignment

PIN NO.	PORT NAME	DESCRIPTION
1	V <sub>SS</sub>	GND
2	XTAL	terminal, Xtal
3	EXTAL	terminal, Xtal or external system clock in
4	MPO	input, MCU mode setting pulled up +5V
5	MP1	input, MCU mode setting pulled up +5V
6	RES	input, MCU reset (active low)
7	STBY	unused, pulled up +5V (active low)
8	NMI	unused, pulled up +5V
9	P20	input, TEMPO CLOCK
10	P21	output, Channel Selector INH
11	P22	output, Channel Selector C
12	P23	input, MIDI IN
13	P24	output, MIDI OUT
14	P25	output, Channel Selector B
15	P26	input, START/STOP
16	P27	input, TAPE IN
17	P50	(RC/CC)
18	P51	(HT,MT/LT,TB)
19	P52	(HCG/LCG)
20	P53	output, Sound Selector (LT,MT/HT,TB)
21	P54	(HCB/LCB)
22	P55	(CH/OH)
23	P56	(RIM/HCP)
24	P57	output, Enable
25	P60	output, (Channel Selector A)
26	P61	
27	P62	
28	P63	output, Start Trigger
29	P64	output, Level Data
30	P65	
31	P66	
32	P67	
33	V <sub>CC</sub>	input, +5 power supply
34	P47	
35	P46	
36	P45	
37	P44	input, Data Bus
38	P43	
39	P42	
40	P41	
41	P40	
42	V <sub>SS</sub>	GND
43	P17	
44	P16	
45	P15	
46	P14	output, address Bus
47	P13	
48	P12	
49	P11	
50	P10	
51	P37	output, LCD CS
52	P36	output, LCD SCK
53	P35	output, TAPE OUT
54	P34	output, (CS)
55	P33	output, (WE)
56	P32	
57	P31	output address Bus
58	P30	
59	P74	
60	P73	output, scanning signal to KEY
61	P72	
62	P71	
63	P70	output, LED
64	E	unused, system clock 1MHz



GATE ARRAY  
RD63H114

Pin Configuration  
(Top View)



PIN	name	PIN	name	PIN	name
1	INH0	23	CST 6	45	XST 5
2	ADRC	24	GATE7	46	XST 6
3	A	25	GATE6	47	XST 7
4	D	26	VDD	48	TST 1
5	B	27	GATE5	49	TST 2
6	ADR7	28	GATE4	50	XSTA
7	C	29	GATE3	51	MSEL
8	ADR6	30	GATE2	52	CLK 1
9	ADR8	31	GATE 1	53	CLK 2
10	VSS	32	GATE 0	54	CLK 3
11	ADR9	33	XRES	55	CLK 4
12	ADR5	34	OSC i	56	XCK 0
13	ADRB	35	SC0 0	57	XCK 1
14	ADR4	36	SC0 1	58	VDD
15	ADR3	37	CLK 0	59	XCK 2
16	ADRA	38	XST 0	60	XCK 3
17	ADR2	39	XST 1	61	XCK 4
18	ADR1	40	XST 2	62	XCK 5
19	ADRO	41	XST 3	63	XCK 6
20	CST 0	42	VSS	64	XCK 7
21	CST 2	43	XOUT		
22	CST 4	44	XST 4		

Multiple Address Counters

DESIGNATION	PIN	DESCRIPTION	I/O		
CST	0	pulled up (+5V) } continue start	counter 0	I	
	2		counter 2	I	
	4		counter 4	I	
	6		counter 6	I	
XST	A	XST0-XST7 enable, active low			
	0		counter 0	I	
	1		counter 1	I	
	2		counter start, active low	counter 2	I
	3			counter 3	I
	4			counter 4	I
	5			counter 5	I
	6		counter 6	I	
7	counter 7	I			
XCK	0	counter clock input	counter 0	I	
	1		counter 1	I	
	2		counter 2	I	
	3		counter 3	I	
	4		counter 4	I	
	5		counter 5	I	
	6		counter 6	I	
	7		counter 7	I	
XOUT	43	address(ADRO-ADRC) out enable, active low; high=HI z	I		
ADR	0	ROM ADDRESS	19	0	
	1		18	0	
	2		17	0	
	3		15	0	
	4		14	0	
	5		12	0	
	6		8	0	
	7		6	0	
	8		9	0	
	9		11	0	
	A		16	0	
	B		13	0	
C	2	0			
A	3	MUX,DMUX channel select	100kHz	0	
			system clock for 8 counters	0	
			50kHz	0	
			25kHz	0	
D	4		0		
INH0	1	DMUX inhibit	0		
OSCI	34	internal clock	I		
SCC0	35	clock generator	0		
SC01	36	master clock out 1.6MHz	0		
CLK	0	system clock in 1.6MHz		I	
	1		100kHz	0	
	2		100kHz	0	
	3		nc	0	
	4		latch clock	0	
XRES	33	reset pulse, active low	I		
	51	counter 12/13 bit select	I		
TST1	48	IC test	pulled down	I	
TST2	49		pulled down	I	
Vss	10	GND			
Vss	42				
VDD	26	power supply +5V			
GAT	0	counter gate output	Hi=counter running	0	
	1		0		
	2		0		
	3		0		
	4		0		
	5		0		
	6		0		
	7		0		

CHECKING IC9 MBH63H114

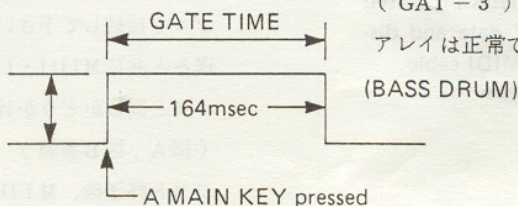
The gate out pins GAT0-GAT7 of IC9 will indicate the status of mated counter.

While a counter is running, its GAT pin stays high. The high period of each gate is shown in the table 1.

(See page 3)

Example: BASS Drum won't sound

1. Connect a scope to IC9 pin 29 GAT3.
2. Set the unit to TRACK PLAY mode.
3. Tap BASS DRUM Key (MAIN Key [1]) and verify the waveform as shown below.



ゲートアレイ (MBH63H114) 良否判定のヒント

故障診断の際、ゲートアレイの良否を以下の方法で判定する事が出来ます。ゲートアレイのゲート(GAT0-GAT7)は対応したカウンタが走っている間、ハイとなります。各音源に対応するゲート出力を TABLE.1 に示します。

(See page 3)

例. BASS DRUM音、不鳴り

電源をオンにし、TRACK・PLAYモードに入ります。マニュアル・プレイでパネル上のMAIM・KEY [1] (BASS・DRUM)を押します。IC9の29番ピン(GAT-3)に下図のような電圧が出力されればゲートアレイは正常です。



## PARTS LIST

CASING ケース				IC
2201068200	Top Case	上ケース		15229825
2201068300	Bottom Case	下ケース		15179244
2202073700	Battery Cover	電池カバー		15179247
2342080700	Battery Box Assy (including the following 4 parts) 電池ボックス完成品 (下記4点を含む)			15179750
2202073900	Battery Box	電池ボックス		15179340
2345015500	Terminal Plate (+)	端子板		15179317
2345015600	Terminal Spring (-)	端子板		15219164
2341053800	Connector Assy 4P	リード付コネクタ完成品		15169516
2202073800	Display Window	LCDカバー		15169532
2221076100	Rear Panel	リアパネル		15169533
<b>KNOB, BUTTON, KEY TOP ツマミ、ボタン、キートップ</b>				15159105F
2247036700	Key Top (large)	gray	モールドツマミ (大)	15159113F
2248010700	Key Top (small)	white	モールドツマミ (小)	15159115F
2248010800	Knob	white	丸ツマミ	15159116F
<b>PCB ASSY 基板完成品</b>				15189136
7314003000	Voicing Board (pcb 2292030703)	音源基板		15229712
7314004000	Switch Board (pcb 2292030800)	スイッチ基板		
7314005000	LCD Board (pcb 2292030900)	LCD基板		
<b>LCD 液晶表示器</b>				<b>TRANSIST</b>
15029433	LD-B9106A			15129137
<b>COIL コイル</b>				15129601
12449272	GM-50510152	line filter	ラインフィルタ	15129612
<b>JACK, SOCKET ジャック、ソケット</b>				<b>DIODE</b>
13429607	TCS 0707-01-010	DIN	MIDI IN, MIDI OUT	15019125
13449711	HEC 0470-01-630	AC adapter	DC IN 9V	15019209T
(or 13449706)	HEC 0470-01-230)			15019405
13449415	HSJ 0807-01-010	mini	TAPE IN/OUT	(or 15
13449248	HLJ 0521-01-010	stereo	PHONES	15029143
13449133	HLJ 0521-01-110	monaural	R/MONO, L, START/STOP	(or 15
<b>SWITCH スイッチ</b>				15029144
12479791	Rubber Switch (pad)	ゴムスイッチ		<b>RESISTOR</b>
13159111	SSSP 12114A	POWER		13910103
<b>POTENTIOMETER ボリューム</b>				13919118
13279793	RK12K1240	100KB x 2	VOLUME	<b>CONNECT</b>
13279794	RK12K1140	1MC	TEMPO	13439320
<b>CERAMIC RESONATOR 発振子</b>				13439296
12389729	CSA 4.00MG	4.0MHz		13439297
12389735	CSA 1.6MK	1.6MHz		13439321
<b>MISCELLA</b>				234302510
<b>WIRING A</b>				234105150
<b>MISCELLA</b>				234105160
<b>MISCELLA</b>				13629141
<b>MISCELLA</b>				13549123
<b>MISCELLA</b>				12569105
<b>MISCELLA</b>				234306750
<b>MISCELLA</b>				12569255
<b>MISCELLA</b>				222502380



## IC

15229825	MB63H114PF	gate array
15179244	HD6301Y0A51P	CPU (Ver.1.0 SN.630100-69099)
15179247	HD6301Y0A99P	CPU (Ver.1.1 SN.690700-UP)
15179750	TC531000P-7453	CMOS mask ROM (Sound ROM)
15179340	HM6116LP-4	CMOS S-RAM (SN.630100-645599)
15179317	TC5517APL	CMOS S-RAM (SN.645900-UP)
15219164	$\mu$ PD7225G	LCD driver
15169516	TC74HC02P	H CMOS quad 2-input NOR gate
15169532	TC74HC51P	H CMOS dual 2 wide-2input AND/OR gate
15169533	TC74HC151P	H CMOS 8 to 1 line data selector/multiplexer
15159105H0	HD14013BP	CMOS dual D-type flip-flop
15159113H0	HD14051BP	CMOS signal 8 channel multiplexer/demultiplexer
15159115H0	HD14066BP	CMOS quad bilateral switch
15159116B0	M4069UBP	CMOS hex inverter
15189136	M5218L	Op. amp
15229712	PC-900	photo coupler

## TRANSISTOR トランジスタ

15129137	2SC2603-28-F	NPN
15129601	2SD666-C	NPN
15129612	2SD1469-R	NPN

## DIODE ダイオード

15019125	1SS-133	
15019209T0	S-5500G	rectifier 整流器
15019405	MTZ5.6B-T77	5.6V zener ツェナー
(or 15019525	RD-5.6EB-2	5.6V zener) ツェナー
15019413	MTZ5.1B-T77	5.1V zener ツェナー
(or 15019523	RD-5.1EB-3	5.1V zener) ツェナー
15029144	SLP-144-40	LED red ツェナー

## RESISTOR ARRAY 抵抗アレイ

13910103	RGSD8 x 103J	10K x 8
13919118	RGSD16L104G	R-2R ladder network (D/A converter)

## CONNECTOR コネクタ

13439320	IL-S-4P-S2T2-EF	4P (Voicing pcb)
13439296	IL-S-7P-S2T2-EF	7P (LCD pcb)
13439297	IL-S-8P-S2T2-EF	8P (Switch pcb)
13439321	5124-03BHPB	3P (Switch pcb) for LED
2343025100		rubber connector for LCD

## WIRING ASSY リード付コネクタ・アッセンブリ

2341051500	7P (Voicing pcb)	$\phi=90$ mm
2341051600	8P (Voicing pcb)	$\phi=90$ mm

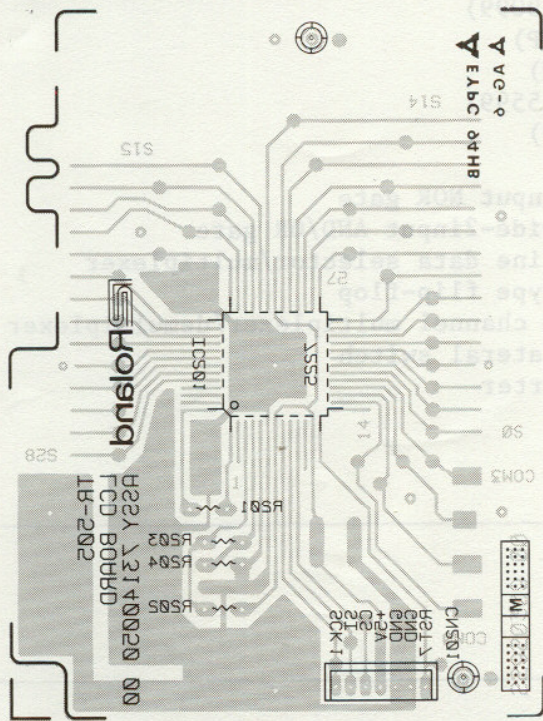
## MISCELLANEOUS その他

13629141	Philips 122.5109.10 $\mu$ F 16V	
13549123	polyester film capacitor 0.033 $\mu$ F 50VJ $\pm$ 5%	
12569105	dry cell SUM-3S 1.5V	単三乾電池
2343067500	connection cable LP-25	接続コード
12569255	Lithium battery M2B-C200 3V	リチウム電池
2225023802	Shield Cover (for Bottom case)	シールドカバー



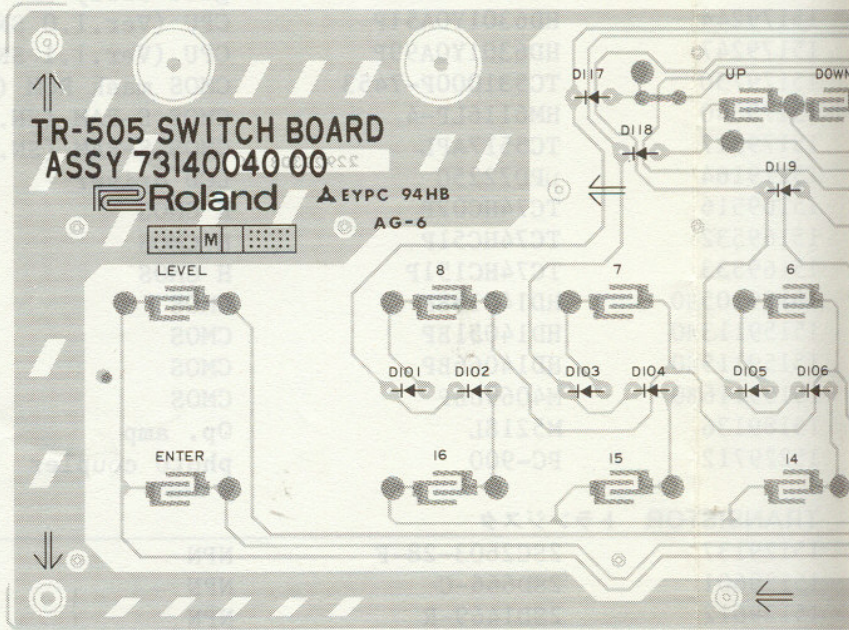
# LCD BOARD

7314005000 (pcb 2292030900)



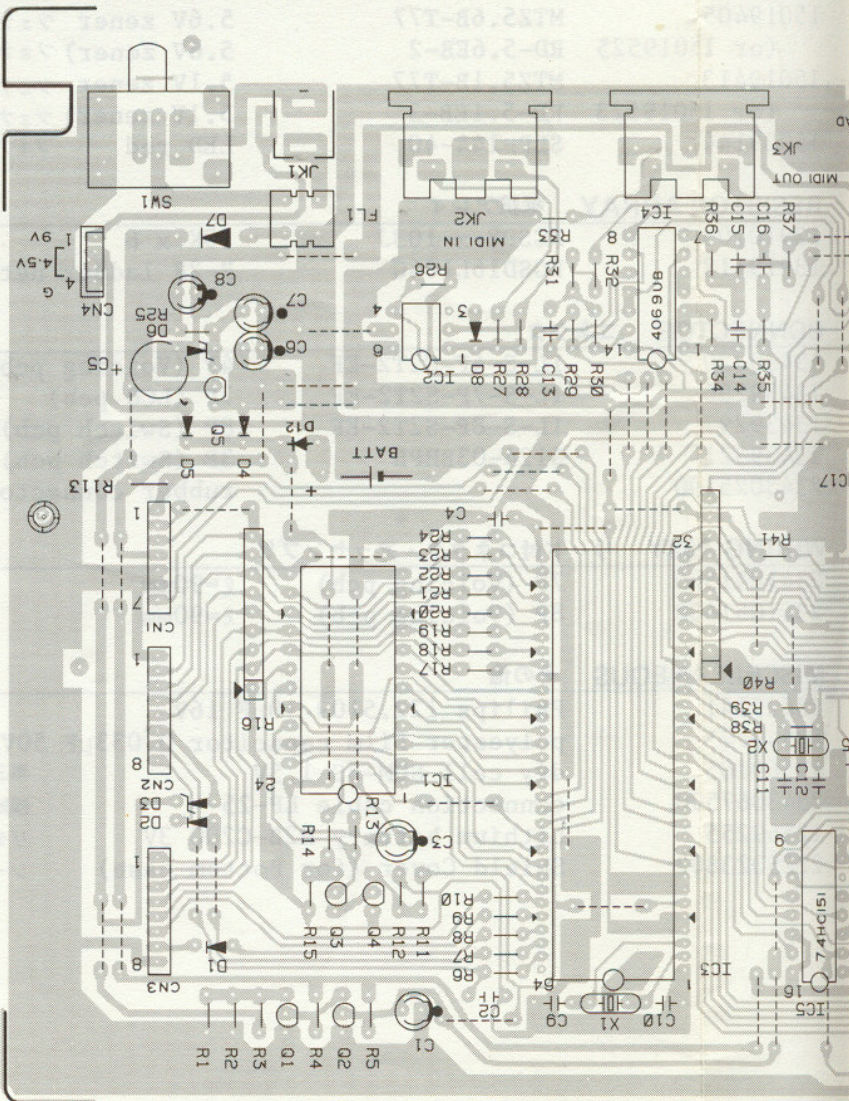
# SWITCH BOARD

7314004000 (pcb 2292030800)



# VOICING BOARD

7314003000 (pcb 2292030703)



## ADVARSEL!

Lithiumbatteri. Eksplosionsfare.  
Udskiftning må kun foretages af en sagkyndig,  
og som beskrevet i servicemanual.

Lithium batteri må kun udskiftes med samme type  
og fabrikat.

## ADVARSEL!

Lithiumbatteri. Fare for eksplosion.  
Må bare skiftes af kvalificeret tekniker som  
beskrevet i servicemanualen.

Lithium batteri må kun udskiftes med samme type  
og fabrikat.

## WARNING!

Lithiumbatteri. Explosionsrisk.  
Får endast bytas av behörig servicetekniker.  
Se instruktioner i servicemanualen.

Lithium batteri för endast ersättes med samma typ  
och fabrikat.

## VAROITUS!

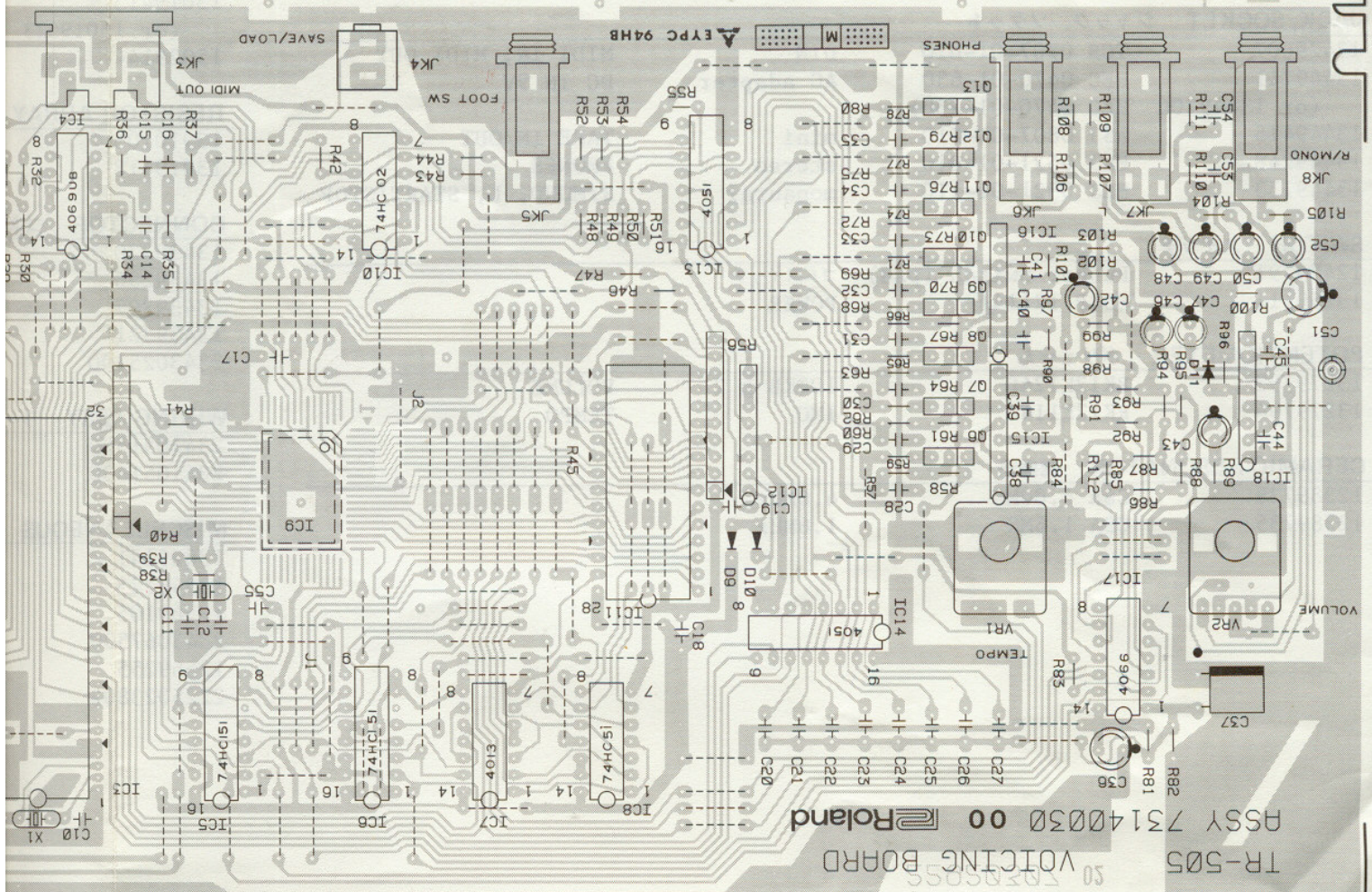
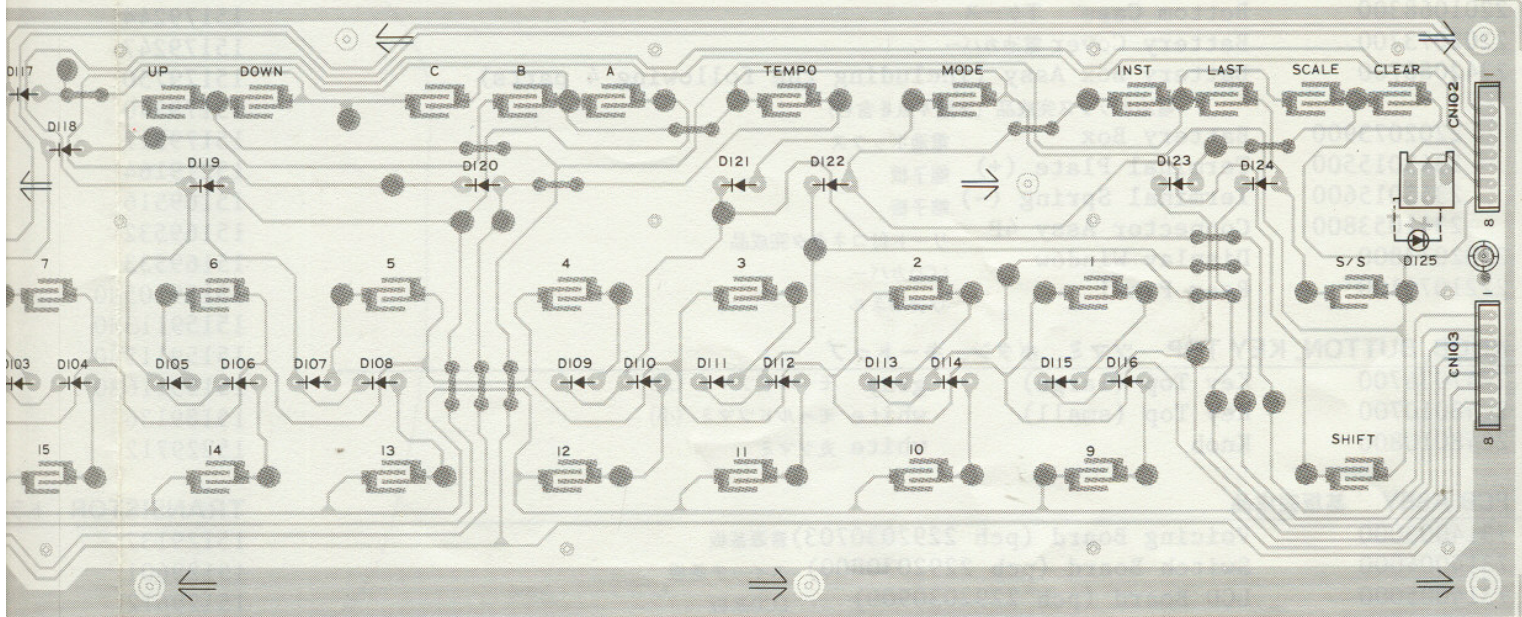
Lithiumparisto. Rajahdysvaara.  
Pariston saa vaihtaa ainoastaan  
alan ammottimies.

Kun vaihat lithium pariston KAYTA saman valmista-  
jan samaa tyyppiä.



8 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39

View from foil side



TR-505 VOICING BOARD ASSY 7314030 00 Roland











# TR-505 MIDI IMPLEMENTATION

## SCHEMATIC DIAGRAM

### 1. TRANSMITTED DATA

Status	Second	Third	Description	
1001 nnnn	Okkk kkkk	0000 0000	Note OFF kkkkkkk = 25-99	#1 #2
1001 nnnn	Okkk kkkk	0vvv vvvv	Note ON kkkkkkk = 25-99 vvvvvvv = 48,64,80,96,112,127	#1 #2 #3
1111 0010	0xxx xxxx	0yyy yyyy	Song Position Pointer xxxxxxx: Least significant xxxxxxx: Most significant	#4 #5
1111 0011	0sss ssss		Song Select sssssss = 0-5 (track # 1-6)	#6 #5
1111 1000			Timing Clock	#5
1111 1010			Start	#5
1111 1011			Continue	#5
1111 1100			Stop	#5

#### Notes :

- #1 Transmitted channel # for each instrument can be changed to 1 - 16, and memorized.
- #2 Note number for each instrument can be changed.
- #3 vvvvvvv is set as follows.
 

accent level	vvvvvvv
not given	48
1	64
2	80
3	96
4	112
5	127
- #4 When the measure is set.
- #5 When MIDI sync mode is on, the unit transmits these messages received from MIDI IN.
- #6 When the track # is set.
 

track #	sssssss
1	0
2	1
3	2
4	3
5	4
6	5

### 2. RECOGNIZED RECEIVE DATA

RECOGNIZED RECEIVE DATA			Description	
1001 nnnn	Okkk kkkk	0vvv vvvv	Note ON kkkkkkk = 25 - 99 vvvvvvv = 1 - 127	#1 #2
1011 bbbb	0111 1100	0000 0000	OMNI OFF	
1011 bbbb	0111 1101	0000 0000	OMNI ON	
1111 0010	0xxx xxxx	0yyy yyyy	Song Position Pointer xxxxxxx: Least significant yyyyyyy: Most significant	#3 #4
1111 0011	0sss ssss		Song Select sssssss = 0-5 (track # 1-6)	#3 #4
1111 1000			Timing Clock	#4
1111 1010			Start	#4
1111 1011			Continue	#4
1111 1100			Stop	#4

#### Notes :

- #1 Received channel # can be changed to 1 - 16, and memorized. The sounds listed below on the same row cannot sound at the same time.
  - Low Tom (LT) / Mid Tom (MT) / Hight Tom (HT) / Timbale (TB)
  - Rim Shot (RIM) / Hand Clap (HCP)
  - Open Hi-Hat (OH) / Closed Hi-Hat (CH)
  - Low Conga (LCG) / Hight Conga (HCG)
  - Low Cowbell (LCB) / Hight Cowbell (HCB)
  - Crash Cymbal (CC) / Ride Cymbal (RC)
- #2 Note number for each instrument can be changed.
- #3 Recognized while the unit is in 'STOP' in the Track Play mode.
- #4 When the SYNC mode is set at MIDI.



Rhythm machine

MODEL **TR-505 MIDI Implementation Chart**

Date: Jan. 31 1986  
Version: 1.0

Function.....		Transmitted	Recognized	Remarks
<b>Basic Channel</b>	Default Changed	1-16 1-16	1-16 1-16	Memorized
<b>Mode</b>	Default Messages Altered	Mode 3  *****	Mode 1 OMNI ON/OFF	
<b>Note Number</b>	True voice	25-99 *1 *****	25-99 *1	assigns to each rhythm voice
<b>Velocity</b>	Note ON Note OFF	○ 9n v=48-127 × 9n v=0	○ 9b v=1-127 ×	n=Inst CH *2 b=Basic CH
<b>After Touch</b>	Key's Ch's	× ×	× ×	
<b>Pitch Bender</b>		×	×	
<b>Control Change</b>		×	×	
<b>Prog Change</b>	True #	× *****	×	
<b>System Exclusive</b>		×	×	
<b>System Common</b>	Song Pos Song Sel Tune	○ ○ ×	○ SYNC mode=MIDI ○ SYNC mode=MIDI ×	0-5
<b>System Real Time</b>	Clock Commands	○ ○	○ SYNC mode=MIDI ○ SYNC mode=MIDI	
<b>Aux Mes-Sages</b>	Local ON/OFF All Notes OFF Active Sense Reset	× × × ×	× × × ×	
<b>Notes</b>		*1 Transmitted and recognized note numbers can be assigned by panel operation. *2 Transmit channel # for each instrument can be changed to 1-16 by panel operation.		

Mode 1 : OMNI ON, POLY  
Mode 3 : OMNI OFF, POLY

Mode 2 : OMNI ON, MONO  
Mode 4 : OMNI OFF, MONO

○ : Yes  
× : No